

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 61198753  
PUBLICATION DATE : 03-09-86

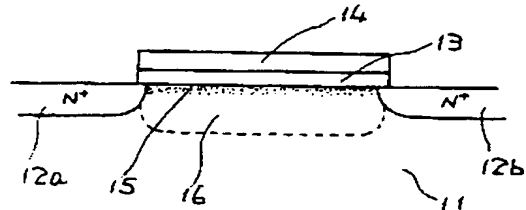
APPLICATION DATE : 28-02-85  
APPLICATION NUMBER : 60037521

APPLICANT : TOSHIBA CORP;

INVENTOR : TAKADA TOMOJI;

INT.CL. : H01L 21/82 H01L 27/10

TITLE : SEMICONDUCTOR INTEGRATED  
CIRCUIT



ABSTRACT : PURPOSE: To implement high speed in signal transmission, by adding impurities, whose conducting type is reverse with respect to a substrate, to a part beneath a channel region, with regard to a program switch having an MOSFET structure, which is provided in a wiring region.

CONSTITUTION: On a P-type Si substrate 11, N<sup>+</sup> source and drain regions 12a and 12b are formed. A poly Si gate 14 is provided through a gate oxide film 13. B is implanted in a channel region, and a channel-ion implanted layer 15 for controlling a threshold voltage is formed. P or As is implanted into a part beneath the channel region. An impurity added layer 16 for suppressing a back-gate bias effect, which offsets the impurities in the substrate, is provided. By suppressing the back gate bias effect, DC resistance, when the potential of a signal-input line is increased and the MOSFET is turned ON, is decreased. Charge to wiring capacity and to the switching capacity of a switch matrix is carried out quickly. Since the potential of the signal input wiring can be brought close to the potential of an output line sufficiently, the signal transmission speed can be improved.

COPYRIGHT: (C)1986,JPO&Japio

## ⑫ 公開特許公報(A)

昭61-198753

⑪ Int. Cl.<sup>4</sup>H 01 L 21/82  
27/10

識別記号

庁内整理番号

8526-5F  
6655-5F

⑬ 公開 昭和61年(1986)9月3日

審査請求 未請求 発明の数 1 (全7頁)

⑭ 発明の名称 半導体集積回路

⑮ 特 願 昭60-37521

⑯ 出 願 昭60(1985)2月28日

⑰ 発 明 者 高 田 知 二 川崎市幸区小向東芝町1 株式会社東芝総合研究所内  
⑱ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地  
⑲ 代 理 人 弁 理 士 則 近 憲 佑 外1名

## 明 細 書

## 1. 発明の名称

半導体集積回路

## 2. 特許請求の範囲

(1) 基板に作り込まれた、それ自体論理機能を有し、かつ信号の入力部及び信号の出力部を有する複数の回路ブロックと、この複数の回路ブロックからなる回路ブロック領域に隣接し、前記基板上に形成された配線領域とを備え、前記回路ブロック領域は複数の論理機能素子の集合から構成され、前記配線領域は互いに交わる信号入力用配線群及び信号出力用配線群から構成され、前記信号入力用配線群は各回路ブロックの信号入力部に夫々接続され、前記信号出力用配線群は各回路ブロックの信号の出力部に夫々接続され、かつこれら接続はその回路ブロックが隣接する前記配線領域において行なわれ、前記信号入力用配線群と前記信号出力用配線群との交差部には夫々スイッチ素子が設けられ、このスイッチ素子のON、OFF状態を制御することにより各回路ブロック間の信号の

入出力関係が決定され所望の集積回路が構築され、前記スイッチ素子はMOSFET構造を有し、そのゲート電圧は、アンド・プロム・エ領域下にはバックゲートバイアス効果を抑制する基板と逆導電型の不純物が添加されてなる事を特徴とする半導体集積回路。

(2) 前記スイッチ素子はE<sup>2</sup>PROMである事を特徴とする前記特許請求の範囲第1項記載の半導体集積回路。

## 3. 発明の詳細な説明

〔発明の技術分野〕

本発明はチップの機能がプログラマブルな半導体集積回路に関する。

〔発明の技術的背景とその問題点〕

近年、少量多品種の要求に伴ない次の様なLSIが出現している。

## (1) 標準セル方式

LSI内に使用される基本的な論理機能を有する回路ブロックを予め計算機に登録しておき、計算機の自動処理により、これらの回路ブロックを配線・配極し、所望の最終製品を得る。

## (2) ゲートアレイ方式

論理ゲートを構成する基本回路を予めウェハ上にアレイ状に配置しておき、この上に標準セル方式と同じように自動配線によって配線パターンを決定し、所望のLSIを得る。

これらは完全手設計のLSIに比べて開発期間が短いもののリソグラフィ技術を用いた製造工程が必要であり、設計完了からLSI完成まで数週間〜数カ月かかるという問題がある。

これに対し本出願人により次の方法が提案されている(特願昭58-157718号)。

即ち、第6図に示す如く、1つ以上の論理機能素子により構成された複数の回路ブロック61a, 61b……61Nが予め専用ICの手法により配線工程を終了して基板に作り込まれ、各回路ブロックの入力信号及び出力信号が電気的にON, OFF状態を書き込むスイッチマトリクス上に導びかれ、各回路ブロックの全ての入力信号にE<sup>2</sup>PROMや1ビットメモリーを備えたMOSFET等のスイッチ素子62を介して接続可能となっている。63はT字状の

トリクス中のスイッチトランジスタを通過する。従ってスイッチトランジスタのON状態での直流抵抗 $R_{ON}$ は小さい方がよい。

第7図は1つのスイッチ部分を示す。今、信号出力用配線63に接続されたドレイン電圧 $V_D=5V$ 、ゲート65電圧 $V_G$ 、基板電圧 $V_{sub}=0V$ (即ちバックゲートバイアス $V_{BS}=0V$ )、信号入力用配線64に接続されたソース電圧 $V_S$ とした時の $R_{ON}$ を考える。(第8図)

第9図に示すように、 $R_{ON}$ の値は $V_S$ によって変化し、 $V_S \approx 0V$ ではトランジスタの飽和電流 $I_{dsat}$ とドレイン電圧 $V_D$ とで $V_D/I_{dsat}$ と表わされるが、 $V_S \geq V_G - V_{TH}$ ( $V_{BS} = -V_S$ )では無限大となる。しかもこの時の $V_{TH}$ は $V_{BS} = -V_S$ での値であり、通常バックゲートバイアス効果により $V_{BS} = 0$ での $V_{TH}$ より大きな値を持つ。即ち、バックゲートバイアス効果による $V_{TH}$ の増加が $R_{ON}$ の増大をもたらし信号伝達遅延の一因となっている。

ここでいう $V_{BS}$ は、ソース電位を基準にした基板の電位を示している。したがって、基板電位

信号出力用配線、64は信号入力用配線である。

この方法によれば、フィールドプログラマブルであるため、ユーザーが自分の手で論理機能を書き込むことにより、高い性能を備えた所望のLSIを若く早く手にする事ができる。しかも、ある定まった論理機能を有する回路ブロックの入力信号と出力信号を接続するという形式でLSIの設計を行なうことができ、ボード上での論理設計に慣れた設計者にとっても理解しやすい。

しかしながら、スイッチ素子のON抵抗が回路動作を遅くする、信号入力用配線のHighレベルが十分に上がらない等の問題があった。

即ち、信号線はスイッチマトリクスの端から端まで走る必要があるため配線容量が大きく、更にスイッチ素子の拡散領域(ソース/ドレイン)の接合容量がこれに加算されるため非常に大きな容量を持つ。例えば信号入力用配線には800個もの膨大なスイッチが接続され、結局、1本の信号線の持つ容量は数pFになる。

上記容量を充放電するための電流は全て上記マ

$V_{sub}=0V$ としたままで、ソース電位が $V_S$ となると、 $V_{BS}=-V_S$ の値となる。これは、ソース電位を基準に考えると、バックゲートバイアス電圧を印加した事と等価となる。このため、ソース領域から供給される多数キャリアにとって、チャネル領域のポテンシャルが高くなり、ゲート電極により多くの電圧(ゲート電圧)を、印加しなければチャネル反転ができなくなる。すなわち、ソース電位を基準にした反転時のゲート電圧:スレッショルド電圧 $V_{TH}$ が高くなる。これがバックゲートバイアス効果である。

また、第9図からも判る様に、信号入力用配線64の電位( $V_S$ )は、 $V_G - V_{TH}$ ( $V_{BS} = -V_S$ )以上には上がらない。もし $V_S$ を出力線と同様 $V_{DD}$ までスイングさせるため $V_{BS}=-5V$ で $V_{TH}=0V$ となるようにスイッチトランジスタを作っても $V_{BS}=0V$ では $V_{TH}<0$ となりスイッチトランジスタをOFFできない。即ち、 $V_G=V_{OFF}=0V$ としても $V_D=5V$ 、 $V_S=0V$ の時はスイッチトランジスタを通してリークが生ずる。従ってハイレベル入力電圧 $V_{IH}$ を

出力電圧より低く設定せざるを得ず、回路ブロックの入力回路に特別な工夫が必要であり、また、この低電圧により信号伝達時間  $t_{pdLH}$  の遅延も一層助長される。

#### 〔発明の目的〕

本発明は上記事情に鑑みて為されたもので、かかるプログラマブルLSIの高速化を図る事を目的とする。

#### 〔発明の概略〕

本発明は配線領域に設けたMOSFET構造のプログラム用スイッチに対し、そのチャネル領域下に基板と逆導電型の不純物を添加しバックゲートバイアス効果を抑制する様にしたものである。

#### 〔発明の効果〕

本発明によれば、かかる不純物添加によりバックゲートバイアス効果を抑制する事により、信号入力線の  $V_{th}$  上昇時の  $E_{on}$  を下げ配線容量並びにスイッチマトリクス of スイッチ容量に対する充電が速やかに行なえ、また、 $V_{th}$  自体も十分出力線の電位に近づける事が出来るので信号伝達遅延の減少

を図ることができる。

#### 〔発明の実施例〕

以下、本発明の実施例を図面を用いて詳述する。

先ず、レイアウトを第6図を利用して説明する。

即ち、Siウエハーの一辺に回路ブロック 61a, 61b……61N が作り込まれており、各回路ブロックは、4インプット NAND ゲート等、論理機能素子の1つ以上により構成されている。この論理機能素子はCMOS構成を為し、専用IC即ち標準セル方式における手書きの標準セル或いは配線済のゲートアレイである。

複雑な論理機能素子は標準セル方式により標準セルを相互配線により組み合わせて形成してもよい。

回路ブロックの構成は次の通りである。

- |                                    |       |
|------------------------------------|-------|
| ① 4インプット NAND ゲートを2つもつブロック         | ……15個 |
| ② 2インプット NAND ゲートを4つもつブロック         | ……14個 |
| ③ 8インプット NAND ゲートを1つもつブロック         | ……3個  |
| ④ 8ビット直列入力-直列出力シフトレジスタをもつブロック      | ……2個  |
| ⑤ 単安定マルチバイブレータを2つもつブロック            | ……4個  |
| ⑥ 2インプット OR ゲートを4つもつブロック           | ……4個  |
| ⑦ 2インプット NOR ゲートを4つもつブロック          | ……3個  |
| ⑧ AND-OR インバータを2つもつブロック            | ……3個  |
| ⑨ 64ビット RAM のブロック                  | ……3個  |
| ⑩ 2インプット EXCLUSIVE-OR ゲートを4つもつブロック | ……2個  |
| ⑪ 4ビットコンバータのブロック                   | ……3個  |
| ⑫ J-K フリップフロップを2つもつブロック            | ……4個  |
| ⑬ 9ビットの偶/奇パリティジェネレータ/チェックのブロック     | ……3個  |
| ⑭ 4ビットバイナリ全加算器のブロック                | ……2個  |

- |                               |        |
|-------------------------------|--------|
| ① 4つのインバータをもつブロック             | ……100個 |
| ② 8ビットレジスタのブロック               | ……19個  |
| ③ 2つのDタイプフリップフロップをもつブロック      | ……19個  |
| ④ 4インプットのANDゲートを2つもつブロック      | ……17個  |
| ⑤ 2対1データセレクタを4つもつブロック         | ……13個  |
| ⑥ 4ビットバイナリカウンタを2つもつブロック       | ……11個  |
| ⑦ 2-4ラインデコーダを2つもつブロック         | ……7個   |
| ⑧ 3-8ラインデコーダをもつブロック           | ……3個   |
| ⑨ 4-1セレクタを2つもつブロック            | ……5個   |
| ⑩ 8-1セレクタをもつブロック              | ……4個   |
| ⑪ 8ビット直列入力-並列出力シフトレジスタをもつブロック | ……3個   |
| ⑫ 8ビット並列入力-直列出力シフトレジスタ        |        |

- ㉓ 2インプットマルチプレクサを4つもつブロック ..... 5個
- ㉔ 8-Bラッチを4つもつブロック ..... 2個
- ㉕ ALUのブロック ..... 1個
- ㉖ 8ビットアドレスラッチのブロック ..... 1個

- ㉗ ルックアヘッドキャリジェネレータのブロック ..... 1個

即ち、274個のMSIからなる回路ブロックが備えられ、1組のチップからあらゆる機能のLSIを作ることができるようにされている。そして各回路ブロックの平均入力数は8、出力数は4である。論理機能素子の入力部、出力部は、回路ブロックの入力部、出力部を為している訳であるが、その出力部には出力バッファが夫々設けられている(図示しない)。そして出力部はT字状の信号出力用配線63、入力部はこれと交わる信号入力用配線64に夫々接続されている。そして、その交点にはスイッチ素子62が設けられている。

本発明ではスイッチ素子62としてMOSFET構造

第1図は、そのスイッチトランジスタの例を示している。5 $\Omega \cdot \text{cm}$ 程度のP型Si基板11に、N<sup>+</sup>ソース、ドレイン領域12a、12bが形成され、厚さ250Åのゲート酸化膜13を介してポリシリコンゲート電極14が設けられた構造である。チャネル領域にはボロン(B)がイオン注入され、1 $\times 10^{17} \text{cm}^{-3}$ 程度の $V_{TH}$ 制御用のチャネルイオン注入層15が形成されている。そしてチャネル領域下には加速電圧を上げてリン(P)又はヒ素(As)がイオン注入され1 $\sim 2 \times 10^{18} \text{cm}^{-3}$ 程度の、基板不純物を相殺するバックゲートバイアス効果抑制用の不純物添加層16が設けられている。

この様にして $V_{BS}$ 変動に伴う $V_{TH}$ の増大が防止され、 $R_{ON}$ が小さく、また $V_B$ も高くされ集積回路の高速動作が達成される。上記MOSFETはNチャネルであるがPチャネルの場合も基板と逆導電型不純物を添加すれば同様に実施できる。

上記実施例では、MOSFET構造を示しているが、これは1ビットメモリを備えたMOSFET等をスイッチ素子に用いる場合に限らず、E<sup>2</sup>PROMをスイ

のものが用いられる。

MOSFETのスレッシュホールド電圧 $V_{TH}$ とバックゲートバイアス $V_{BS}$ との関係は

$$V_{TH} = V_{TO} + \frac{1}{C_{OX}} \sqrt{2 \epsilon_{OX} \cdot q \cdot N_{SUB} (2 \phi_F + V_{BS})} \quad (1)$$

の関係がある。ここで

$V_{TO}$  :  $V_{BS}=0$ の時の $V_{TH}$

$C_{OX}$  : ゲート-基板間の単位面積当りの容量

$\epsilon_{OX}$  : ゲート絶縁膜の誘電率

$q$  : 単位電荷 $\sim 1.6 \times 10^{19}$ クーロン

$\phi_F$  : 基板のフェルミ単位

従って $N_{SUB}$ が小さい程 $V_{BS}$ の変動に伴う $V_{TH}$ の変化は小さくなる。

即ち、先述した様にOFFスイッチでリークが生じない様に先ず $V_{TO} \geq 0$ に設定される。これはゲート絶縁膜厚 $t_{OX}$ 、ゲート電極材料等により変化する。そしてチャネル領域下の基板に基板とは逆導電型の不純物をイオン注入する。こうして $V_{BS}$ の変動にかかわらず、 $V_{TH} \sim V_{TO}$ 一定、と定まるスイッチトランジスタを実現できる。

スイッチ素子に用いる場合も同じである。

第2図はその例で、フローティングゲートFG上には誘導ゲートCG<sub>1</sub>、CG<sub>2</sub>が交差して設けられ、FGはトンネル酸化膜を介して基板のソースS、ドレインDと同導電型の拡散層(EG書込み電極)と対向している。EGは全セル同時に作動し、例えばCG<sub>1</sub>=CG<sub>2</sub>=20V、EG=0Vのセルのみ電子がEGからFGに注入され(OFF)、CG<sub>1</sub>=CG<sub>2</sub>=0V、EG=20Vのセルのみ電子がFGからEGに放出される(ON)。

E<sup>2</sup>PROMでもMOSFETと書込み素子の複合であるのでFGをゲート電極と見たてることが出来る。即ち、MOSFET部のチャネル領域下に逆導電型不純物を同様に導入すればよい。

以上の例では、チャネル領域下に基板と逆導電型の不純物を添加した例であるが、以下に述べる方法によっても第6図で示した問題点を解決することができる。即ち、信号入力用配線を予め所定の電位に固定しておく方法である。

即ち、第3図に示す様に信号入力用配線64をプ

リチャージトランジスタ31を介してプリチャージ電圧(ノード32の電位)に接続するものである。今、スイッチ素子62がNチャネルMOSFET構造、プリチャージトランジスタ31がPチャネルMOSFET、プリチャージ電圧が出力線の電圧、即ち5Vとした時の動作を考える。回路ブロック61a、61b…61Nに備えられた出力バッファはトライステート出力バッファが良い。33はゲート電圧線である。

プリチャージトランジスタ31のゲート電圧 $V_{33}=0V$ の期間はプリチャージ期間で、この時回路ブロックの出力状態は第4図に示す様にハイ・インピーダンス状態とし、信号入力用配線64の電位はプリチャージトランジスタ31を通して5Vにプリチャージされる。

$V_{33}=5V$ の期間は、プリチャージトランジスタがOFFとなり回路ブロックの出力バッファの出力電圧即ち $V_{63}$ の電位に従って信号入力用配線64の電位は

$V_{63}=0V$ の場合：遅延時間 $t_{pdHL}$ の後に

入力されるプリチャージ信号入力線、55は2入力NOEゲートである。

上記例においては、プルアップ動作を行なったが、スイッチ素子62がPチャネルMOSFET構造の場合には0レベル出力伝達が遅くなるので、ノード32を接地として信号入力用配線64をプルダウン動作させるのも良い。

尚、上記例ではトライステートバッファを用いたが通常の出力バッファでも効果を期待できる。

尚、第1図の実施例ではイオン注入層15、16を有したが、この代わりにチャネル領域に基板と逆導電型の不純物をイオン注入したEタイプやIタイプのMOSFETでもバックゲートバイアス効果を抑制する効果がある。又、E<sup>2</sup>PROMにおいて書き込み、消去時のフローティングゲートの電位が夫々例えば-3V、 $\frac{0}{2}$ に設定されたものではDタイプのMOSFET部を有するものを用いる事が出来るのは勿論である。更に(1)式から判る様に、イオン注入層15、16を設けないアンドープのMOSFETは、基板と逆導電型の不純物をイオン注入した先述イ

$V_{64}=0V$ になる。

一方、 $V_{63}=5V$ の場合： $V_{64}$ を保持しつづけることになり従って、

①信号入力用配線64の電位は0V~5Vの間をスイングする。

②スイッチトランジスタのバックゲートバイアス効果によるON抵抗の増加が動作速度に全く影響しない。

また、回路ブロックの出力バッファは出力ラインを0レベルから1レベルに上げる必要がないので、小さくできる。即ち、CMOS出力バッファのPチャネル出力トランジスタを不要とできる。即ち、上記例の場合、出力バッファは1レベルの出力の必要がなく、ハイ・インピーダンス状態及び0レベル出力の2値でよい。

第5図はこのような出力バッファの例を示し、51はNチャネルMOSFETである出力駆動トランジスタ、52は論理機能素子からの信号入力端子、53は信号出力端子で信号出力用配線64に接続されている。54はプリチャージ期間か否かで'1'、'0'が

オン注入層15のみを有する通常のEタイプMOSFETに比べてこの発明の目的のためには優れている。

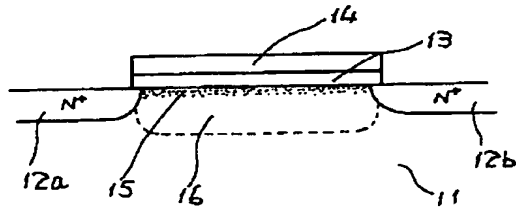
#### 4. 図面の簡単な説明

第1図は本発明の実施例を示すMOSFETスイッチの断面図、第2図はE<sup>2</sup>PROMの等価回路図、第3図はプログラマブル集積回路にプリチャージを行なう例の平面図、第4図はその動作波形図、第5図は出力バッファの回路図、第6図はプログラマブル集積回路の平面図、第7図はスイッチの交点の回路図、第8図はその動作を示す図、第9図はその動作特性図である。

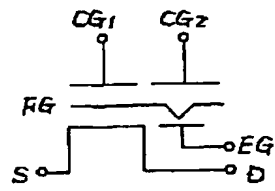
図において、16…不純物添加層。

代理人 弁理士 則 近 憲 佑

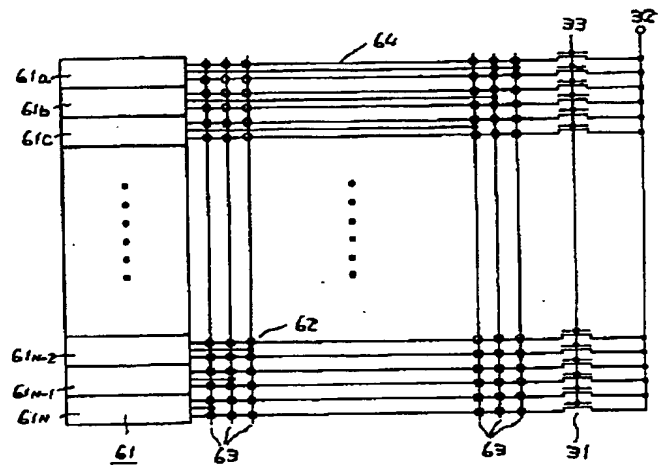
(ほか1名)



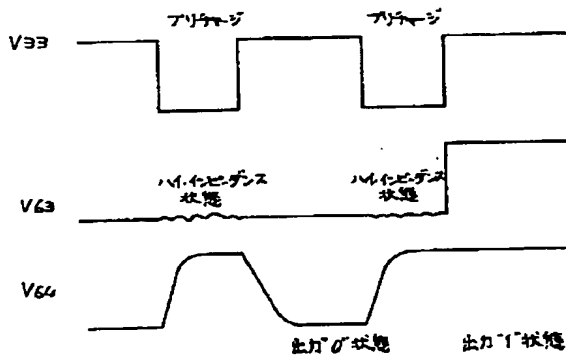
第 1 図



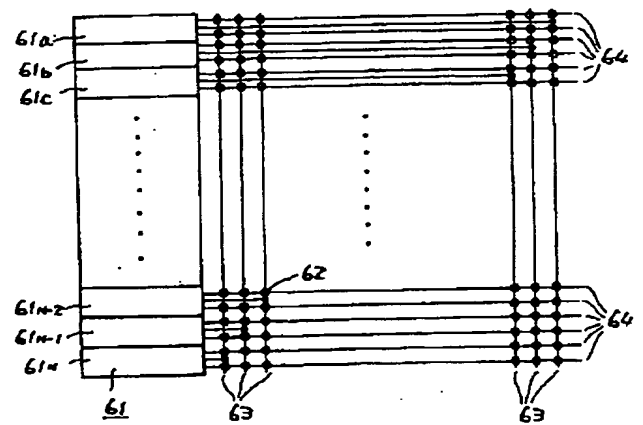
第 2 図



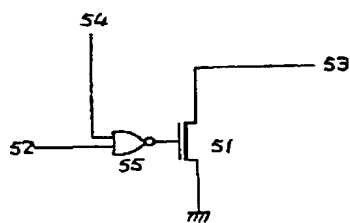
第 3 図



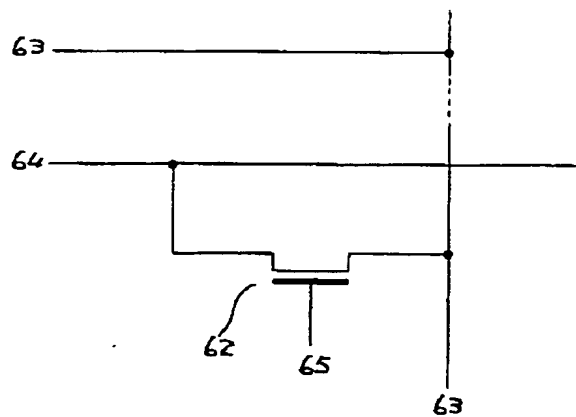
第 4 図



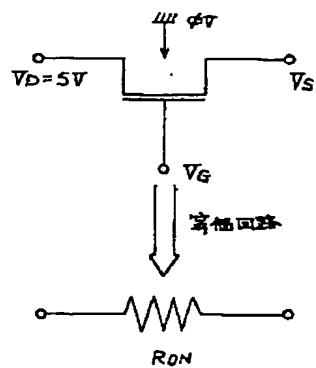
第 5 図



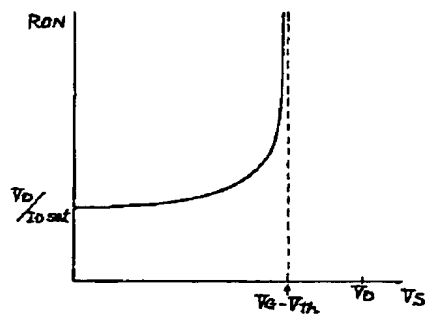
第 6 図



第 7 図



第 8 図



第 9 図